

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-243785

(P2000-243785A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl'

H 01 L 21/60

識別記号

3 1 1

F I

マーク(参考)

H 01 L 21/60

3 1 1 S 5 F 0 4 4

25/065

21/92

6 0 4 B

25/07

25/08

B

25/18

審査請求 未請求 請求項の数4 OL (全8頁)

(21)出願番号 特願平11-40400

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(22)出願日 平成11年2月18日(1999.2.18)

(72)発明者 鮎島 克己

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100087701

弁理士 稲岡 耕作 (外2名)

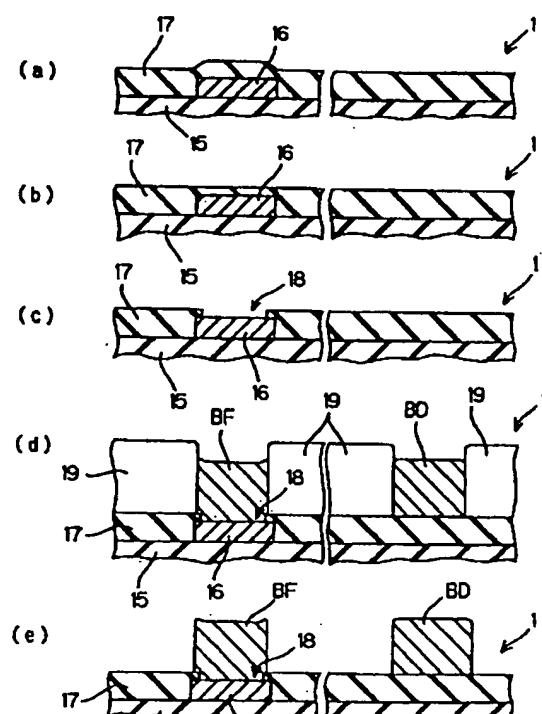
F ターム(参考) 5F044 KK01 QQ04 RR03

(54)【発明の名称】 半導体チップの製造方法

(57)【要約】

【解決手段】機能バンプBFおよびダミーバンプBDの形成時には、図2(b)に示すように、表面保護膜17の表面が平坦化された後、図2(c)に示すように、表面保護膜17において内部配線16に対向する領域に、内部配線16の表面の一部を露出させるための開口部18が形成される。つづいて、開口部18を介して露出した内部配線16および平坦化された表面保護膜17上に選択的にメッキが施されることにより、図2(e)に示すように、機能バンプBFおよびダミーバンプBDが形成される。

【効果】機能バンプBFおよびダミーバンプBDをほぼ同じ高さに形成することができる。



【特許請求の範囲】

【請求項1】 固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、当該半導体チップの基体をなす半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を平坦化する工程と、上記表面保護膜に上記内部配線の一部を露出させるための開口部を形成する工程と、上記表面保護膜の平坦化工程および上記開口部の形成工程の後に、上記開口部を介して露出した内部配線および平坦化された表面保護膜上に選択的にメッキを施すことにより、上記開口部を介して上記内部配線に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法。

【請求項2】 固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を研磨して平坦化することにより、上記内部配線の表面を上記表面保護膜から露出させる工程と、上記表面保護膜から露出した内部配線および平坦化された上記表面保護膜上に選択的にメッキを施すことにより、上記表面保護膜から露出した内部配線の表面に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法。

【請求項3】 固体表面に接合され、上記固体表面に対向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を平坦化する工程と、平坦化された表面保護膜に凹部および上記内部配線の一部を露出させるための開口部を形成する工程と、上記凹部および開口部が形成された表面保護膜上に金属膜を積層する工程と、上記凹部および開口部外に積層された金属膜を除去することにより、上記凹部および開口部内に、それぞれ上記内部配線から絶縁されたダミー接続部および上記内部配線に接続された電気接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法。

する工程は、上記金属膜の表面を化学的機械的研磨法により研磨する工程を含み、

上記化学的機械的研磨法により研磨する工程は、上記表面保護膜の表面と上記開口部および凹部内の金属膜の表面とがほぼ面一になるまで続けられることを特徴とする請求項3記載の半導体チップの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、たとえば、半導体チップの表面に他の半導体チップを重ね合わせて接合するチップ・オン・チップ構造や半導体チップの表面をプリント配線基板に対向させて接合するフリップ・チップ・ボンディング構造に適用される半導体チップの製造方法に関する。

【0002】

【従来の技術】 一対の半導体チップを対向させ、これらをバンプによって互いに電気接続するチップ・オン・チップ構造の半導体装置が従来から提案されているが、実現に際して解決すべき問題が多く残されている。

【0003】

【発明が解決しようとする課題】 解決すべき問題の1つに、半導体チップの表面に他の半導体チップを重ね合わせて接合したチップ・オン・チップ構造の半導体装置を樹脂封止すると、封止樹脂からの圧力により、バンプによって支持されていない部分において、半導体チップが変形し、半導体チップに形成された素子の特性が劣化するといった問題がある。

【0004】 そこで、本願発明者は、半導体チップの表面に、対向配置される他の半導体チップとの間の電気接続に寄与しないダミーバンプを設け、このダミーバンプによって封止樹脂から受ける圧力を緩和することにより、半導体チップの変形を防止できると考えた。半導体チップの表面にダミーバンプを設ける場合、このダミーバンプは、対向配置される他の半導体チップとの間を電気接続するためのバンプ（以下、「機能バンプ」という。）と同じ材料で構成されるのが好ましい。こうすることにより、ダミーバンプと機能バンプとを同じ工程で形成することができ、半導体チップの製造工程数が増加するのを防止できる。

【0005】 ところが、図8に示すように、配線91の一部を露出させるための開口部92が形成された表面保護膜93上に、バンプ材料を用いたメッキを選択的に施すことにより、開口部92および表面保護膜93上にそれぞれ機能バンプ94およびダミーバンプ95を形成すると、開口部92の周縁部分の表面保護膜93が他の部分よりも盛り上がっているために、機能バンプ94がダミーバンプ95よりも△hだけ高く形成されてしまう。機能バンプ94がダミーバンプ95よりも高く形成されていると、この半導体チップを他の半導体チップに接合

良好に接合されないため、ダミーバンプの機能を十分に発揮できない。

【0006】そこで、この発明の目的は、上述の技術的課題を解決し、電気接続部（機能バンプ）の高さとダミー接続部（ダミーバンプ）の高さとをほぼ一致させることができる半導体チップの製造方法を提供することである。

【0007】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、固体表面に接合され、上記固体表面に對向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、当該半導体チップの基体をなす半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を平坦化する工程と、上記表面保護膜に上記内部配線の一部を露出させるための開口部を形成する工程と、上記表面保護膜の平坦化工程および上記開口部の形成工程の後に、上記開口部を介して露出した内部配線および平坦化された表面保護膜上に選択的にメッキを施して、上記開口部を介して上記内部配線に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法である。

【0008】なお、上記固体表面は、他の半導体チップの表面であってもよいし、配線基板の表面であってもよい。この発明のように、表面保護膜の表面を平坦化した後に、電気接続部およびダミー接続部を形成するための選択的なメッキを行うことにより、電気接続部とダミー接続部とをほぼ同じ高さに形成することができる。

【0009】したがって、電気接続部およびダミー接続部を固体表面に良好に接続させることができる。これにより、固体表面との電気接続を良好に行うことができるうえ、当該半導体チップおよび固体表面に生じる応力を、ダミー接続部によって良好に緩和することができる。請求項2記載の発明は、固体表面に接合され、上記固体表面に對向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を研磨して平坦化することにより、上記内部配線の表面を上記表面保護膜から露出させる工程と、上記表面保護膜から露出した内部配線および平坦化された上記表面保護膜上に選択的にメッキを施して、上記表面保護膜から露出した内部配線の表面に接続された電気接続部および上記内部配線から絶縁されたダミー接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法

【0010】この発明のように、表面保護膜を研磨することにより内部配線を露出させた後に、電気接続部およびダミー接続部を形成するための選択的なメッキを行うことにより、電気接続部とダミー接続部とをほぼ同じ高さに形成することができる。したがって、請求項1の発明と同様に、電気接続部およびダミー接続部を固体表面に良好に接続させることができる。これにより、固体表面との電気接続を良好に行うことができるうえ、当該半導体チップおよび固体表面に生じる応力を、ダミー接続部によって良好に緩和することができる。

【0011】なお、上記表面保護膜を研磨して平坦化する工程は、上記表面保護膜の表面と上記表面保護膜から露出した内部配線の表面とがほぼ面一になるまで続けられることが好ましい。請求項3記載の発明は、固体表面に接合され、上記固体表面に對向する表面に上記固体との電気接続のための電気接続部および上記固体との電気接続に寄与しないダミー接続部を有する半導体チップの製造方法であって、半導体基板上に内部配線を配設する工程と、上記内部配線上に表面保護膜を積層する工程と、上記表面保護膜を平坦化する工程と、平坦化された表面保護膜に凹部および上記内部配線の一部を露出させるための開口部を形成する工程と、上記凹部および開口部が形成された表面保護膜上に金属膜を積層する工程と、上記凹部および開口部外に積層された金属膜を除去して、上記凹部および開口部内に、それぞれ上記内部配線から絶縁されたダミー接続部および上記内部配線に接続された電気接続部を形成する工程とを含むことを特徴とする半導体チップの製造方法である。

【0012】なお、請求項4のように、上記ダミー接続部および電気接続部を形成する工程は、上記金属膜の表面を化学的機械的研磨法により研磨する工程を含み、上記化学的機械的研磨法により研磨する工程は、上記表面保護膜の表面と上記開口部および凹部内の金属膜の表面とがほぼ面一になるまで続けられることが好ましい。この発明のように、平坦化された表面保護膜に凹部および開口部を形成し、この凹部および開口部が形成された表面保護膜上に金属膜を積層した後、凹部および開口部外に積層された金属膜を除去して、凹部および開口部内にそれぞれダミー接続部および電気接続部を形成することにより、電気接続部およびダミー接続部の表面を、表面保護膜の表面とほぼ面一に形成することができる。

【0013】したがって、この半導体チップを、たとえば機能バンプおよびダミーバンプを有する固体に接合させたときに、この半導体チップの電気接続部およびダミー接続部に、それぞれ固体に設けられた機能バンプおよびダミーバンプを良好に接合させることができる。これにより、この半導体チップと固体との電気接続を良好に行うことができるうえ、この半導体チップおよび固体に生じる応力を良好に緩和することができる。

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体チップが適用された半導体装置の概略構成を示す図解的な断面図である。この半導体装置は、いわゆるチップ・オン・チップ構造を有しており、親チップ1の表面11に子チップ2を重ね合わせて接合した後、これらを樹脂封止してパッケージ3に納めることによって構成されている。

【0015】親チップ1は、たとえばシリコンチップからなっている。親チップ1の表面11は、半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面であり、最表面は、たとえば窒化シリコンで構成される表面保護膜で覆われている。この表面保護膜上には、外部接続用の複数のパッド12が、ほぼ矩形の平面形状を有する親チップ1の表面11の周縁付近に露出して配置されている。外部接続用パッド12は、ボンディングワイヤ13によってリードフレーム14に接続されている。

【0016】子チップ2は、たとえばシリコンチップからなっている。子チップ2の表面21は、半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面であり、最表面は、たとえば窒化シリコンで構成される表面保護膜で覆われている。子チップ2は、表面21を親チップ1の表面11に対向させた、いわゆるフェースダウン方式で親チップ1に接合されており、親チップ1との間に設けられた複数のバンプによって支持されている。具体的に説明すると、子チップ2の表面21には、複数の子側バンプB2が隆起して形成されており、親チップ1の表面11には、子側バンプB2に対応した位置にそれぞれ親側バンプB1が隆起して形成されている。そして、子チップ2は、子側バンプB2がそれぞれ対応する親側バンプB1に接続されることにより、親チップ1の上方に支持されている。

【0017】子側バンプB2には、子チップ2の内部配線に接続された機能バンプBFと、子チップ2の内部回路から絶縁されたダミーバンプBDとが含まれている。一方、親側バンプB1にも、親チップ1の内部配線に接続された機能バンプBFと、親チップ1の内部回路から絶縁されたダミーバンプBDとが含まれている。親チップ1の機能バンプBFと子チップ2の機能バンプBFとは、互いに対向して設けられており、この機能バンプBF同士が接続されることにより、親チップ1の内部配線と子チップ2の内部配線とが電気接続されている。これに対し、親チップ1のダミーバンプBDと子チップ2のダミーバンプBDとは、互いに対向して設けられており、このダミーバンプBD同士の接続は、親チップ1および子チップ2の内部回路間の電気接続には寄与していない。

【0018】図2は、親チップ1の要部の構成をトド型

導体基板（図示せず）上には、たとえば酸化シリコンで構成される層間絶縁膜15が形成されており、この層間絶縁膜15上に内部配線16が配設されている。層間絶縁膜15および内部配線16の表面は、表面保護膜17で覆われており、この表面保護膜17に形成された開口部18上に、耐酸化性の金属（たとえば金、プラチナ、銀、パラジウムまたはイリジウムなど）からなる電気接続部としての機能バンプBFが形成されている。一方、ダミー接続部としてのダミーバンプBDは、表面保護膜17上に、機能バンプBFと同じ材料を用いて形成されている。

【0019】機能バンプBFとダミーバンプBDとは、ほぼ同じ高さに形成されており、その製造工程において同時に形成することができる。すなわち、機能バンプBFおよびダミーバンプBDの形成時には、まず、図2(a)に示すように、内部配線16が配設された層間絶縁膜15上に、たとえば窒化シリコンで構成される表面保護膜17が積層される。この表面保護膜17の膜厚は、内部配線16の厚みよりも大きく設定されている。

【0020】次に、平坦化処理が行われることにより、図2(b)に示すように、表面保護膜17の表面が平坦化される。その後、図2(c)に示すように、フォトリソグラフィ技術により、表面保護膜17において内部配線16に対向する領域に、内部配線16の表面の一部を露出させるための開口部18が形成される。つづいて、開口部18が形成された表面保護膜17上に、図示しないシード膜が形成される。このシード膜は、たとえば、機能バンプBFおよびダミーバンプBDをAu（金）で構成する場合には、表面保護膜17上にスパッタ法でTiW（チタンタングステン）膜を形成し、そのTiW膜上にスパッタ法でAuを堆積させることにより形成されるとよい。

【0021】次いで、図2(d)に示すように、フォトリソグラフィ技術によって、シード膜上にレジストパターン19が選択的に形成された後、機能バンプBFおよびダミーバンプBDの材料を用いたメッキが行われることにより、開口部18上およびダミーバンプBDを形成すべき領域上にメッキ材料が堆積される。このとき、メッキ材料は開口部18およびダミーバンプBDを形成すべき領域上でほぼ一様に成長し、また、表面保護膜17の表面はHDP処理によって平坦化されているので、メッキ終了時には、開口部18上およびダミーバンプBDを形成すべき領域上に、ほぼ同じ高さにメッキ材料が堆積することになる。

【0022】そして、メッキ終了後に、シード膜上のレジストパターン19が除去され、さらにレジストパターン19の除去によって露出したシード膜が除去されることにより、図2(e)に示すように、表面保護膜17の表面からして導体基板の高さにはば等しい抵抗バリアード

ば、表面保護膜17を内部配線16よりも厚く積層し、この表面保護膜17の表面を平坦化した後に、機能バンプBFおよびダミーバンプBDのための選択メッキを行うことにより、ほぼ同じ高さを有する機能バンプBFおよびダミーバンプBDを得ることができる。したがって、子チップ2についても親チップ1と同様な方法で製造されれば、親チップ1と子チップ2とを接合させたときに、親チップ1の機能バンプBFおよびダミーバンプBDに、それぞれ子チップ2の機能バンプBFおよびダミーバンプBDを良好に接合させることができる。これにより、親チップ1と子チップ2とを確実に電気接続することができるうえ、親チップ1および子チップ2に生じる応力を良好に緩和することができる。

【0023】また、表面保護膜17の表面が平坦化されているから、フォトリソグラフィ技術によるレジストパターン19のパターニングを良好に行うことができ、これにより、機能バンプBFおよびダミーバンプBDを所望の位置に精度良く形成することができる。なお、この実施形態では、表面保護膜17の表面を平坦化処理により平坦化しているが、たとえば、高密度プラズマCVD (Chemical Vapor Deposition) 法により表面保護膜17の材料を堆積させることにより、ほぼ平坦な表面を有する表面保護膜17が層間絶縁膜15上に形成されてもよい。

【0024】図3は、この発明の第2の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。なお、この図3において、図2の各部に対応する部分には、図2の場合と同一の参照符号を付して示すこととし、以下では、第1の実施形態との相違点を中心で説明する。この第2の実施形態に係る半導体チップ4は、たとえば、上述した第1の実施形態の親チップ1に代えて用いることができるものであり、表面保護膜17上に、内部配線16に接続された電気接続部としての表面配線41とダミー接続部としてのダミーバンプBDとが設けられている。そして、この実施形態では、表面保護膜17上に設けられた表面配線41およびダミーバンプBDに、それぞれ子チップ2の機能バンプBFおよびダミーバンプBDを接合させることによって、この半導体チップ4と子チップ2とのチップ・オン・チップ接合が達成される。

【0025】表面配線41は、ダミーバンプBDと同じ材料で構成されており、その製造工程においては、ダミーバンプBDと同時に形成される。すなわち、図3(a)に示すように、内部配線16が施された層間絶縁膜15上に表面保護膜17が積層された後、CMP (Chemical Mechanical Polishing : 化学的機械的研磨法) 処理によって、表面保護膜17の表面が平坦化される。このCMP処理は、図3(b)に示すように、内部配線16の表面(上面)のほぼ全域が露出し、さらに露出した内部配

り、内部配線16の表面と表面保護膜17の表面とはほぼ面一になる。

【0026】その後、平坦化された内部配線16および表面保護膜17の表面上にシード膜(図示せず)が形成され、このシード膜上の内部配線16に対向する領域およびダミーバンプBDを形成すべき領域以外の部分に、図3(c)に示すように、フォトリソグラフィ技術によってレジストパターン19が形成された後、表面配線41およびダミーバンプBDの材料を用いたメッキが行われる。

【0027】これにより、内部配線16に対向する領域およびダミーバンプBDを形成すべき領域上に、ほぼ同じ高さにメッキ材料が堆積する。したがって、このメッキ終了後に、シード膜上のレジストパターン19を除去し、さらにレジストパターン19の除去によって露出したシード膜を除去することにより、図3(d)に示すように、ほぼ同じ高さを有する表面配線41およびダミーバンプBDを得ることができる。

【0028】この実施形態によれば、表面保護膜17を研磨することにより内部配線16を露出させ、さらに露出した内部配線16の表面と表面保護膜17の表面とがほぼ面一にされた後に、表面配線41およびダミーバンプBDのための選択メッキが行われる。これにより、ほぼ同じ高さHを有する表面配線41およびダミーバンプBDを得ることができ、上述した第1の実施形態と同様な効果を得ることができる。

【0029】また、内部配線16の表面と表面保護膜17との表面がほぼ面一になっているから、表面配線41の上面に内部配線16と表面保護膜17との段差に起因した凹凸(図2(e)参照)を生じることがなく、表面配線41の上面を平坦に形成することができる。これにより、表面配線41と子チップ2の機能バンプBFとの接合をより良好に行わせることができる。

【0030】図4は、この発明のさらに他の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。なお、この図4において、図2の各部に対応する部分には、図2の場合と同一の参照符号を付して示すこととし、以下では、第1の実施形態との相違点を中心で説明する。この第3の実施形態に係る半導体チップ5は、たとえば、上述した第1の実施形態の親チップ1に代えて用いることができるものであり、内部配線16に接続された電気接続部としての機能パッド51と内部回路から絶縁されたダミー接続部としてのダミーパッド52とが、表面保護膜17に埋め込まれた状態に設けられている。そして、この第3の実施形態では、表面保護膜17上に設けられた機能パッド51およびダミーパッド52に、それぞれ子チップ2の機能バンプBFおよびダミーバンプBDを接合させることによって、この半導体チップ5と子チップ2とのチップ・オン・チップ接合

【0031】機能パッド51とダミーパッド52とは、耐酸化性を有する同一金属（たとえば金、プラチナ、銀、パラジウムまたはイリジウムなど）で構成されており、製造工程においては同時に形成される。機能パッド51およびダミーパッド52の形成時には、まず、図4(a)に示すように、内部配線16が配設された層間絶縁膜15上に、たとえば塗布シリコンで構成される表面保護膜17が積層される。この表面保護膜17の膜厚は、内部配線16の厚みよりも大きく設定されている。

【0032】次に、図4(b)に示すように、HDP処理が行われることにより、表面保護膜17の表面が平坦化される。その後、図4(c)に示すように、フォトリソグラフィ技術により、表面保護膜17において内部配線16に対向する領域およびダミーパッド52を形成すべき領域に、それぞれ内部配線16の表面の一部を露出させるための開口部18および凹部53が形成される。

【0033】つづいて、開口部18および凹部53が形成された表面保護膜17上にシード膜（図示せず）が形成された後、このシード膜の表面に、機能パッド51およびダミーパッド52の材料を用いた電気メッキが施される。この電気メッキは、図4(d)に示すように、開口部18および凹部53内がメッキ材料で満たされるまで続けられ、これにより、表面保護膜17上には、開口部18および凹部53の深さよりも大きい膜厚を有する金属膜54が形成される。

【0034】その後、CMP処理を行うことにより、表面保護膜17上に形成された金属膜54が化学的および物理的に研磨される。そして、図4(e)に示すように、開口部18および凹部53外の金属膜54がすべて除去されて、表面保護膜17の表面17aが露出し、この表面17aと開口部18および凹部53内に堆積したメッキ材料（金属膜54）の表面とがほぼ面一になると、このCMP処理が終了される。これにより、表面保護膜17の開口部18および凹部53内に、それぞれ、表面保護膜17の表面とほぼ面一な表面を有する機能パッド51およびダミーパッド52を得ることができる。

【0035】したがって、この親チップ1に機能バンプBFおよびダミーバンプBDを有する子チップを接合させたときに、機能パッド51およびダミーパッド52に、それぞれ子チップの機能バンプBFおよびダミーバンプBDを良好に接合させることができる。これにより、親チップ1と子チップとを確実に電気接続することができるうえ、親チップ1および子チップに生じる応力を良好に緩和することができる。

【0036】以上、この発明の3つの実施形態について説明したが、この発明は、上述の各実施形態に限定されるものではない。たとえば、この発明は、図5または図6に示すように、複数の内部配線61, 62が層間絶縁膜63を介して上下に積層された状態に配設された

できる。この場合、最表面に積層された表面保護膜64のみが平坦化されてもよいし、表面保護膜64と表面保護膜64の下方に設けられた層間絶縁膜63との両方が平坦化されてもよい。

【0037】また、第1の実施形態では、親チップの機能バンプに子チップの機能バンプを接合させることにより、親チップと子チップとの電気接続が達成されたが、たとえば、親チップまたは子チップの表面保護膜上に、表面保護膜に形成された開口部を介して内部配線に接続された電気接続部としての表面配線を配設し、この表面配線と子チップまたは親チップの機能バンプとを接合することにより、親チップと子チップとの電気接続が達成されてもよい。また、親チップおよび子チップの両方に上記表面配線を配設し、表面配線同士を接合することにより、親チップと子チップとの電気接続が達成されてもよい。

【0038】なお、表面保護膜上に電気接続部としての表面配線を設ける場合には、内部配線が配設された層間絶縁膜上に、内部配線の厚みよりも大きい膜厚を有する表面保護膜を形成して、この表面保護膜の表面を平坦化した後、平坦化された表面保護膜に開口部を形成する。そして、開口部が形成された表面保護膜の表面に、たとえばスパッタ法によってシード膜を蒸着させ、このシード膜上の開口部に対向する部分および表面配線を形成すべき部分に選択的にメッキを行うことにより、開口部から表面保護膜上に引き出された表面配線を形成することができる。

【0039】図7に示すように、内部配線71, 72, 73上に形成された表面保護膜74がマッシュルーム状の断面を有している場合、表面保護膜74の表面にスパッタ法でシード膜を付着させ、このシード膜上に選択メッキを行うことにより表面配線75を形成すると、スパッタ法では内部配線71, 72間および内部配線72, 73間の表面保護膜74上にシード膜が上手く付着しないために、この部分でメッキが成長せず、表面保護膜74と表面配線75との間に隙間を生じるボイドや、表面配線75の断線を生じるおそれがある。これに対し、表面保護膜を平坦化してから表面配線を形成する場合には、表面保護膜の表面全域にシード膜を良好に蒸着させることができるから、上記のようなボイドや表面配線の断線を生じるおそれがない。

【0040】さらに、上述の第2および第3の実施形態では、それぞれの実施形態に係る半導体チップの製造方法が親チップの製造に適用された場合を例にとったが、第2および第3の実施形態に係る製造方法は、子チップの製造に適用することも可能である。また、上述の実施形態では、親チップおよび子チップは、いずれもシリコンカーバイド、シリコン、シリコンガラス、シリコンカーボン

意の半導体材料を用いた半導体チップであってもよい。この場合に、親チップの半導体材料と子チップの半導体材料は、同じでもよいし異なっていてもよい。

【0041】さらに、上述の実施形態では、チップ・オン・チップ構造を取り上げたが、この発明に係る半導体チップは、半導体チップの表面をプリント配線基板に対向させて接合するフリップ・チップ・ボンディング構造にも適用できる。その他、特許請求の範囲に記載された事項の範囲内で、種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係る半導体チップが適用された半導体装置の概略構成を示す図解的な断面図である。

【図2】親チップの要部の構成および製造工程を示す断面図である。

【図3】この発明の第2の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。

【図4】この発明の第3の実施形態に係る半導体チップの要部の構成および製造工程を示す断面図である。

【図5】この発明が適用された多層配線構造の半導体チップの構成例について説明するための断面図である。

【図6】この発明が適用された多層配線構造の半導体チップの他の構成例について説明するための断面図である。

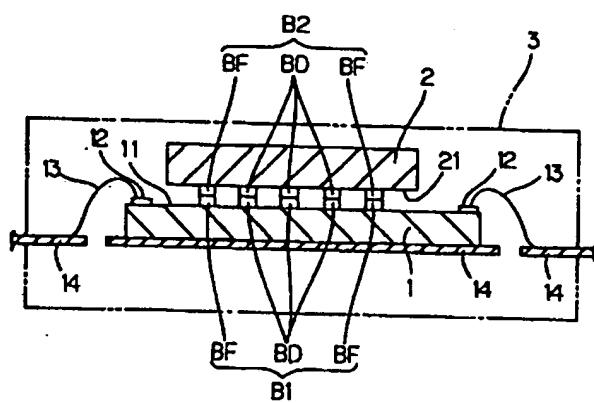
【図7】第1の実施形態に係る半導体チップの製造方法が表面配線の形成に適用された場合の効果について説明するための断面図である。

【図8】ダミーパンプを機能パンプと同一工程で形成した場合に生じる問題点を説明するための断面図である。

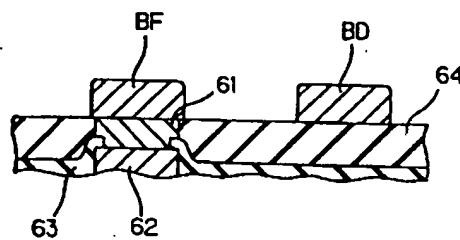
【符号の説明】

1	親チップ (半導体チップ)
11	表面 (固体表面に對向する表面)
16	内部配線
17	表面保護膜
18	開口部
BF	機能パンプ (電気接続部)
BD	ダミーパンプ (ダミー接続部)
2	子チップ (固体)
21	表面 (固体表面)
4	半導体チップ
41	表面配線 (電気接続部)
5	半導体チップ
51	機能パッド (電気接続部)
52	ダミーパッド (ダミー接続部)
53	凹部
54	金属膜
61, 62	内部配線 (電気接続部)
64	表面保護膜
65	表面配線 (電気接続部)

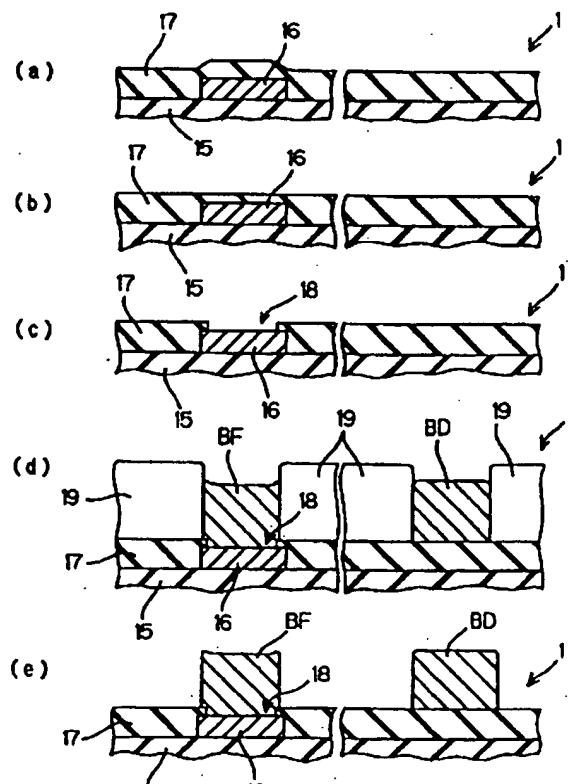
【図1】



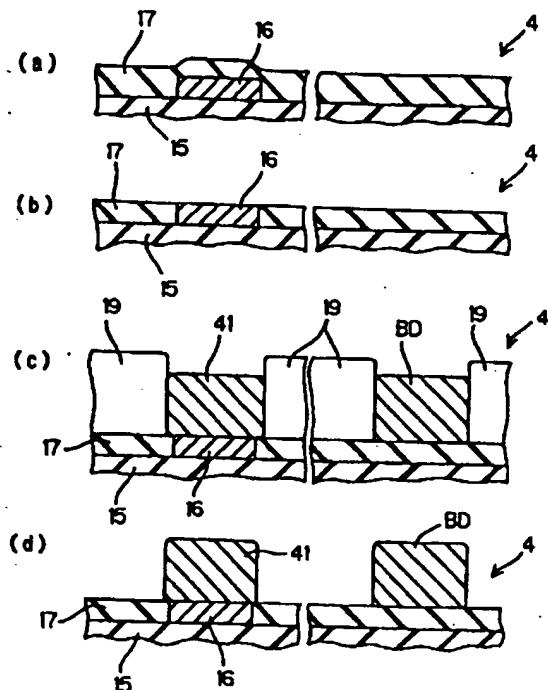
【図5】



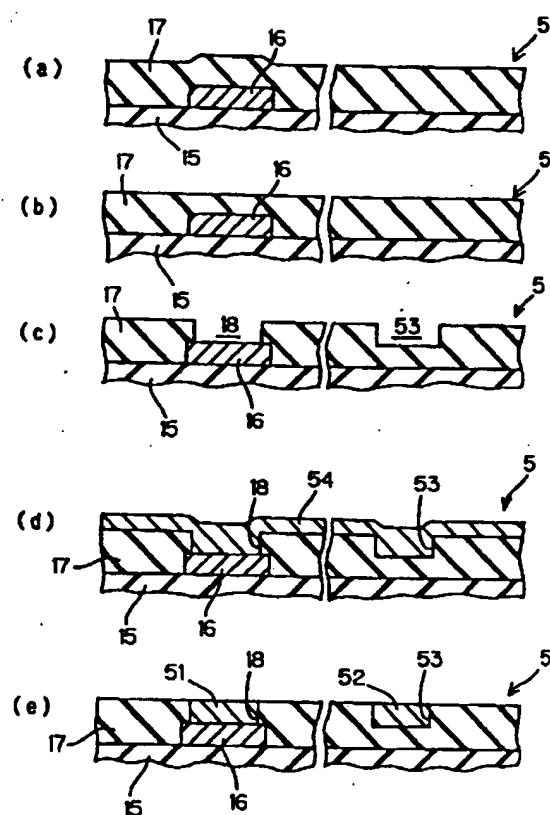
【図2】



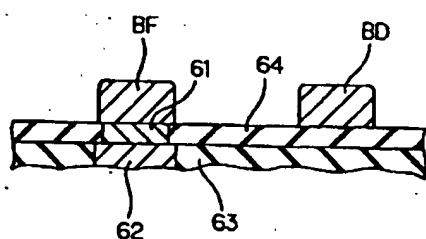
【図3】



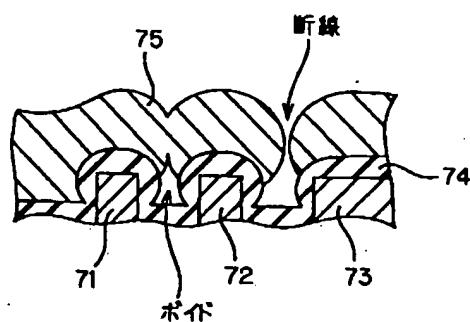
【図4】



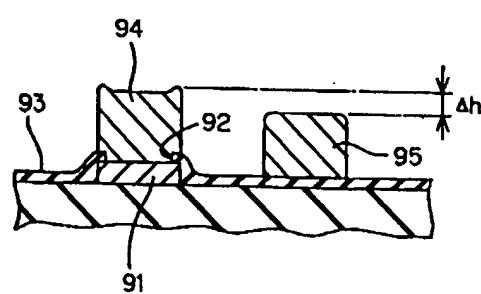
【図6】



【図7】



【図8】



Abstract:

PROBLEM TO BE SOLVED: To form a function bump and a dummy bump to substantially the same height.

SOLUTION: When a function bump BF and a dummy bump BD are formed, the surface of a surface protective film 17 is planarized as shown at (b), and as shown at (c), an opening 18 for partially exposing the surface of inner wiring 16 is made in a region of the surface protective film 17 facing the inner wiring 16. Subsequently, the inner wiring 16 exposed via the opening 18 and the planarized surface protection film 17 are subjected to selective plating to form a function bump BF and a dummy bump BD as shown in figure (e).

FABRICATION OF SEMICONDUCTOR CHIP

[Claim(s)]

[Claim 1] The manufacture method of the semiconductor chip which has the dummy connection which is characterized by providing the following, and which does not contribute to the front face which is joined to a solid-state front face and counters the above-mentioned solid-state front face at the electric lines or cable for electrical connection with the above-mentioned solid-state, and electrical connection with the above-mentioned solid-state. The process which arranges internal wiring on the semiconductor substrate which makes the base of the semiconductor chip concerned. The process which carries out the laminating of the surface-protection film on the above-mentioned internal wiring. The process which carries out flattening of the above-mentioned surface-protection film. The process which forms opening for exposing a part of above-mentioned internal wiring on the above-mentioned surface-protection film, By plating alternatively on the internal wiring exposed through the above-mentioned opening after the flattening process of the above-mentioned surface-protection film, and the formation process of the above-mentioned opening, and the surface-protection film by which flattening was carried out The process which forms the dummy connection insulated from the electric lines or cable and the above-mentioned internal wiring which were connected to the above-mentioned internal wiring through the above-mentioned opening.

[Claim 2] The manufacture method of the semiconductor chip which has the dummy connection which is characterized by providing the following, and which does not contribute to the front face which is joined to a solid-state front face and counters the above-mentioned solid-state front face at the electric lines or cable for electrical connection with the above-mentioned solid-state, and electrical connection with the above-mentioned solid-state. The process which arranges internal wiring on a semiconductor substrate. The process which carries out the laminating of the surface-protection film on the above-mentioned internal wiring. The process at which the front face of the above-mentioned internal wiring is exposed from the above-mentioned surface-protection film by grinding and carrying out flattening of the above-mentioned surface-protection film. The process which forms the dummy connection insulated from the electric lines or cable and the above-mentioned internal wiring which were connected to the front face of the internal wiring exposed from the above-mentioned

surface-protection film by plating alternatively on the internal wiring exposed from the above-mentioned surface-protection film, and the above-mentioned surface-protection film by which flattening was carried out.

[Claim 3] The manufacture method of the semiconductor chip which has the dummy connection which is characterized by providing the following, and which does not contribute to the front face which is joined to a solid-state front face and counters the above-mentioned solid-state front face at the electric lines or cable for electrical connection with the above-mentioned solid-state, and electrical connection with the above-mentioned solid-state. The process which arranges internal wiring on a semiconductor substrate. The process which carries out the laminating of the surface-protection film on the above-mentioned internal wiring. The process which carries out flattening of the above-mentioned surface-protection film. The process which forms opening for exposing a crevice and a part of above-mentioned internal wiring on the surface-protection film by which flattening was carried out, By removing the process which carries out the laminating of the metal membrane on the surface-protection film with which the above-mentioned crevice and opening were formed, and the metal membrane by which the laminating was carried out out of the above-mentioned crevice and opening The process which forms the electric lines or cable connected to the dummy connection and the above-mentioned internal wiring which were insulated from the above-mentioned internal wiring, respectively in the above-mentioned crevice and opening.

[Claim 4] The process at which the process which forms the above-mentioned dummy connection and an electric lines or cable grinds the front face of the above-mentioned metal membrane by the above-mentioned chemical mechanical grinding method including the process ground by the chemical mechanical grinding method is the manufacture method of the semiconductor chip according to claim 3 characterized by being continued until the front face of the metal membrane in the front face of the above-mentioned surface-protection film, the above-mentioned opening, and a crevice becomes almost flat-tapped.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the manufacture method of the semiconductor chip applied to the flip-chip bonding structure which the front face of the chip-on chip structure which lays other semiconductor chips on top of the front face of a semiconductor chip, and is joined to it,

or a semiconductor chip is made to counter a printed-circuit board, and is joined.

[0002]

[Description of the Prior Art] The semiconductor chip of a couple is made to counter, and although the semiconductor device of the chip-on chip structure which carries out electrical connection of these mutually by the bump is proposed from the former, many problems which should be solved on the occasion of realization are left behind.

[0003]

[Problem(s) to be Solved by the Invention] When the resin seal of the semiconductor device of chip-on chip structure which laid other semiconductor chips on top of the front face of a semiconductor chip, and was joined to it one of the problems which should be solved is carried out, a semiconductor chip deforms in the portion which is not supported by the bump by the pressure from a closure resin, and there is a problem that the property of the element formed at the semiconductor chip deteriorates.

[0004] Then, the invention-in-this-application person thought that deformation of a semiconductor chip could be prevented by preparing the dummy bump who does not contribute to the electrical connection between other semiconductor chips by which opposite arrangement is carried out on the surface of a semiconductor chip, and easing the pressure received from a closure resin by this dummy bump. When preparing a dummy bump on the surface of a semiconductor chip, as for this dummy bump, it is desirable to consist of same material as the bump (henceforth a "functional bump") for carrying out electrical connection of between other semiconductor chips by which opposite arrangement is carried out. By carrying out like this, a dummy bump and a functional bump can be formed at the same process, and it can prevent that the number of manufacturing processes of a semiconductor chip increases.

[0005] However, by giving alternatively plating which used bump material on the surface-protection film 93 with which the opening 92 for exposing a part of wiring 91 was formed, as shown in drawing 8 If the functional bump 94 and the dummy bump 95 are formed on opening 92 and the surface-protection film 93, respectively, since the surface-protection film 93 of the periphery portion of opening 92 is rising rather than other portions, the functional bump 94 will be highly formed only for deltabh rather than the dummy bump 95. Since the dummy bump 95 and other semiconductor chips will not be joined good when joining this semiconductor chip to other semiconductor chips if the functional bump 94 is formed more highly than the dummy bump 95, a dummy bump's function cannot fully be demonstrated.

[0006] then, the technical technical problem above-mentioned [the purpose of this invention] -- solving -- the height of an electric lines or cable (functional bump), and the

height of a dummy connection (dummy bump) -- about -- it is offering the manufacture method of the semiconductor chip which can be made to do one [0007]

[A The means for solving a technical problem and an effect of the invention] Invention according to claim 1 for attaining the above-mentioned purpose It is the manufacture method of the semiconductor chip which has the dummy connection which does not contribute to the front face which is joined to a solid-state front face and counters the above-mentioned solid-state front face at the electric lines or cable for electrical connection with the above-mentioned solid-state, and electrical connection with the above-mentioned solid-state. The process which arranges internal wiring on the semiconductor substrate which makes the base of the semiconductor chip concerned, The process which carries out the laminating of the surface-protection film on the above-mentioned internal wiring, and the process which carries out flattening of the above-mentioned surface-protection film, The process which forms opening for exposing a part of above-mentioned internal wiring on the above-mentioned surface-protection film, It plates alternatively on the internal wiring exposed through the above-mentioned opening after the flattening process of the above-mentioned surface-protection film, and the formation process of the above-mentioned opening, and the surface-protection film by which flattening was carried out. It is the manufacture method of the semiconductor chip characterized by including the process which forms the dummy connection insulated from the electric lines or cable and the above-mentioned internal wiring which were connected to the above-mentioned internal wiring through the above-mentioned opening.

[0008] In addition, the above-mentioned solid-state front face may be a front face of other semiconductor chips, and may be a front face of a wiring substrate. Like this invention, after carrying out flattening of the front face of a surface-protection film, an electric lines or cable and a dummy connection can be formed in the almost same height by performing alternative plating for forming an electric lines or cable and a dummy connection.

[0009] Therefore, an electric lines or cable and a dummy connection can be connected to a solid-state front face good. Thereby, in being able to perform electrical connection on the front face of a solid-state good, the stress produced on the semiconductor chip concerned and a solid-state front face can be eased good by the dummy connection. Invention according to claim 2 is the manufacture method of the semiconductor chip which has the dummy connection which does not contribute to the front face which is joined to a solid-state front face and counters the above-mentioned solid-state front face

at the electric lines or cable for electrical connection with the above-mentioned solid-state, and electrical connection with the above-mentioned solid-state. The process which arranges internal wiring on a semiconductor substrate, the process which carries out the laminating of the surface-protection film on the above-mentioned internal wiring, and by grinding and carrying out flattening of the above-mentioned surface-protection film It plates alternatively on the process at which the front face of the above-mentioned internal wiring is exposed from the above-mentioned surface-protection film, and the internal wiring which was exposed from the above-mentioned surface-protection film and the above-mentioned surface-protection film by which flattening was carried out. It is the manufacture method of the semiconductor chip characterized by including the process which forms the dummy connection insulated from the electric lines or cable and the above-mentioned internal wiring which were connected to the front face of the internal wiring exposed from the above-mentioned surface-protection film.

[0010] After exposing internal wiring by grinding a surface-protection film like this invention, an electric lines or cable and a dummy connection can be formed in the almost same height by performing alternative plating for forming an electric lines or cable and a dummy connection. Therefore, an electric lines or cable and a dummy connection can be connected to a solid-state front face good like invention of a claim 1. Thereby, in being able to perform electrical connection on the front face of a solid-state good, the stress produced on the semiconductor chip concerned and a solid-state front face can be eased good by the dummy connection.

[0011] In addition, as for the process which grinds and carries out flattening of the above-mentioned surface-protection film, it is desirable to be continued until the front face of the above-mentioned surface-protection film and the front face of the internal wiring exposed from the above-mentioned surface-protection film become almost flat-tapped. Invention according to claim 3 is the manufacture method of the semiconductor chip which has the dummy connection which does not contribute to the front face which is joined to a solid-state front face and counters the above-mentioned solid-state front face at the electric lines or cable for electrical connection with the above-mentioned solid-state, and electrical connection with the above-mentioned solid-state. The process which arranges internal wiring on a semiconductor substrate, and the process which carries out the laminating of the surface-protection film on the above-mentioned internal wiring, The process which carries out flattening of the above-mentioned surface-protection film, and the process which forms opening for exposing a crevice and a part of above-mentioned internal wiring on the surface-protection film by which flattening was carried out, The process which carries out the laminating of the metal

membrane on the surface-protection film with which the above-mentioned crevice and opening were formed. It is the manufacture method of the semiconductor chip characterized by removing the metal membrane by which the laminating was carried out out of the above-mentioned crevice and opening, and including the process which forms the electric lines or cable connected to the dummy connection and the above-mentioned internal wiring which were insulated from the above-mentioned internal wiring in the above-mentioned crevice and opening, respectively.

[0012] In addition, as for the process at which the process which forms the above-mentioned dummy connection and an electric lines or cable grinds the front face of the above-mentioned metal membrane by the above-mentioned chemical mechanical grinding method like a claim 4 including the process ground by the chemical mechanical grinding method, it is desirable to be continued until the front face of the metal membrane in the front face of the above-mentioned surface-protection film, the above-mentioned opening, and a crevice becomes almost flat-tapped. After carrying out the laminating of the metal membrane on the surface-protection film with which a crevice and opening were formed in the surface-protection film by which flattening was carried out like this invention, and this crevice and opening were formed, the front face of an electric lines or cable and a dummy connection can be formed almost flat-tapped with the front face of a surface-protection film by removing the metal membrane by which the laminating was carried out out of a crevice and opening, and forming a dummy connection and an electric lines or cable in a crevice and opening, respectively.

[0013] Therefore, when joining this semiconductor chip to the solid-state which has for example, a functional bump and a dummy bump, the functional bump and dummy bump who were prepared in the electric lines or cable and dummy connection of this semiconductor chip at the solid-state, respectively can be joined good. Thereby, in being able to perform electrical connection of this semiconductor chip and solid-state good, the stress produced into this semiconductor chip and solid-state can be eased good.

[0014]

[Embodiments of the Invention] Below, the gestalt of implementation of this invention is explained in detail with reference to an accompanying drawing. Drawing 1 is the illustration-cross section showing the outline composition of the semiconductor device with which the semiconductor chip concerning 1 operation gestalt of this invention was applied. This semiconductor device has the so-called chip-on chip structure, and after laying the child chip 2 on top of the front face 11 of the parent chip 1 and joining to it, it is constituted by carrying out the resin seal of these and dedicating to a package 3.

[0015] The parent chip 1 consists of a silicon chip. The front face 11 of the parent chip 1

is a front face by the side of the activity surface field in which functional devices, such as a transistor, were formed in the semiconductor substrate, and the maximum front face is being worn by the surface-protection film which consists of silicon nitrides. On this surface-protection film, two or more pads 12 for external connection are exposed near the periphery of the front face 11 of the parent chip 1 which has a rectangular flat-surface configuration mostly, and are arranged. The pad 12 for external connection is connected to the leadframe 14 by the bonding wire 13.

[0016] The child chip 2 consists of a silicon chip. The front face 21 of the child chip 2 is a front face by the side of the activity surface field in which functional devices, such as a transistor, were formed in the semiconductor substrate, and the maximum front face is being worn by the surface-protection film which consists of silicon nitrides. It is joined to the parent chip 1 by the so-called face down method which made the front face 21 counter the front face 11 of the parent chip 1, and the child chip 2 is supported by two or more bumps prepared between the parent chips 1. If it explains concretely, two or more child side bump B-2s are upheaved and formed in the front face 21 of the child chip 2, and the parents side bump B1 is upheaved and formed in the position corresponding to child side bump B-2 in the front face 11 of the parent chip 1, respectively. And the child chip 2 is supported above the parent chip 1 by connecting with the parents side bump B1 to whom child side bump B-2 corresponds, respectively.

[0017] The dummy bump BD insulated with the functional bump BF connected to internal wiring of the child chip 2 from the internal circuitry of the child chip 2 is contained in child side bump B-2. On the other hand, the dummy bump BD insulated with the functional bump BF connected to internal wiring of the parent chip 1 from the internal circuitry of the parent chip 1 is contained also in the parents side bump B1. The functional bump BF of the parent chip 1 and the functional bump BF of the child chip 2 counter mutually, it is prepared, and electrical connection of internal wiring of the parent chip 1 and the internal wiring of the child chip 2 is carried out by connecting these functional bump BFs. On the other hand, the dummy bump BD of the parent chip 1 and the dummy bump BD of the child chip 2 counter mutually, are prepared, and have not contributed connection of these dummy bump BDs to the electrical connection between the internal circuitries of the parent chip 1 and the child chip 2.

[0018] Drawing 2 is the cross section showing the composition and the manufacturing process of an important section of the parent chip 1. On the semiconductor substrate (not shown) which makes the base of the parent chip 1, the layer insulation film 15 which consists of silicon oxides is formed, and the internal wiring 16 is arranged on this layer insulation film 15. The front face of the layer insulation film 15 and the internal

wiring 16 is being worn by the surface-protection film 17, and the functional bump BF as an electric lines or cable who consists of oxidation-resistant metals (for example, gold, platinum, silver, palladium, or iridium etc.) is formed on the opening 18 formed in this surface-protection film 17. On the other hand, the dummy bump BD as a dummy connection is formed on the surface-protection film 17 using the same material as the functional bump BF.

[0019] It is formed in the height with almost same functional bump BF and dummy bump BD, and can form simultaneously in the manufacturing process. That is, at the time of formation of the functional bump BF and the dummy bump BD, it is drawing 2 (a) first. The laminating of the surface-protection film 17 which consists of silicon nitrides is carried out on the layer insulation film 15 with which the internal wiring 16 was arranged so that it may be shown. The thickness of this surface-protection film 17 is set up more greatly than the thickness of the internal wiring 16.

[0020] Next, it is drawing 2 (b) by performing flattening processing. Flattening of the front face of the surface-protection film 17 is carried out so that it may be shown. then, drawing 2 (c) The opening 18 for exposing a part of front face of the internal wiring 16 to the field which counters the internal wiring 16 in the surface protective coat 17 with photolithography technology is formed so that it may be shown. It continues and the seed film which is not illustrated is formed on the surface-protection film 17 with which opening 18 was formed. When it constitutes for example, the functional bump BF and the dummy bump BD from Au(gold), as for this seed film, it is good to form a TiW (titanium tungsten) film by the spatter on the surface-protection film 17, and to be formed by making Au deposit in a spatter on the TiW film.

[0021] Subsequently, drawing 2 (d) After the resist pattern 19 is alternatively formed on a seed film, plating material deposits with photolithography technology on the field which should form the opening 18 top and dummy bump BD by performing plating using the material of the functional bump BF and the dummy bump BD, so that it may be shown. the field top in which plating material should form opening 18 and the dummy bump BD at this time -- about -- since it grows up into Mr. one and flattening of the front face of the surface-protection film 17 is carried out by HDP processing, plating material will deposit on the height almost same on the field which should form the opening 18 top and dummy bump BD at the time of a plating end

[0022] And it is drawing 2 (e) by removing the resist pattern 19 on a seed film after a plating end, and removing the seed film further exposed by removal of the resist pattern 19. The functional bump BF with the almost equal height from the front face of the surface-protection film 17 to a upper-limit side and the dummy bump BD are obtained

so that it may be shown. According to this operation form, after carrying out the laminating of the surface-protection film 17 more thickly than the internal wiring 16 and carrying out flattening of the front face of this surface-protection film 17, the functional bump BF who has the almost same height, and the dummy bump BD can be obtained by performing selection plating for the functional bump BF and the dummy bump BD. Therefore, when were manufactured by the method same also about the child chip 2 as the parent chip 1 and joining the parent chip 1 and the child chip 2, the functional bump BF of the parent chip 1 and the dummy bump BD can be made to join the functional bump BF of the child chip 2, and the dummy bump BD good, respectively. Thereby, in being able to carry out electrical connection of the parent chip 1 and the child chip 2 certainly, the stress produced for the parent chip 1 and the child chip 2 can be eased good.

[0023] Moreover, since flattening of the front face of the surface-protection film 17 is carried out, patterning of the resist pattern 19 by photolithography technology can be performed good, and, thereby, the functional bump BF and the dummy bump BD can be formed in a desired position with a sufficient precision. In addition, although flattening of the front face of the surface-protection film 17 is carried out by flattening processing with this operation form, it is high-density plasma CVD (Chemical Vapor Deposition), for example. By making the material of the surface-protection film 17 deposit by the method, the surface-protection film 17 which has an almost flat front face may be formed on the layer insulation film 15.

[0024] Drawing 3 is the cross section showing the composition and the manufacturing process of an important section of a semiconductor chip concerning the 2nd operation form of this invention. In addition, in this drawing 3, it supposes that the same reference mark as the case of drawing 2 is attached and shown, and, below, explains to the portion corresponding to each part of drawing 2 focusing on difference with the 1st operation form. It can replace with and use for the parent chip 1 of the 1st operation form mentioned above, and, as for the semiconductor chip 4 concerning this 2nd operation form, the dummy bump BD as the front wiring 41 and the dummy connection as an electric lines or cable connected to the internal wiring 16 is formed on the surface-protection film 17. And with this operation form, chip-on chip junction for this semiconductor chip 4 and the child chip 2 is attained by making the front wiring 41 and the dummy bump BD who were prepared on the surface-protection film 17 join the functional bump BF of the child chip 2, and the dummy bump BD, respectively.

[0025] Front wiring 41 consists of same material as the dummy bump BD, and is formed simultaneously with the dummy bump BD in the manufacturing process. Namely,

drawing 3 (a) CMP after the laminating of the surface-protection film 17 was carried out on the layer insulation film 15 with which internal wiring 16 was performed so that it might be shown (Chemical Mechanical Polishing : the chemical mechanical grinding method) Flattening of the front face of the surface-protection film 17 is carried out by processing. This CMP processing is continued until the front face of the internal wiring 16 of the front face (upper surface) of the internal wiring 16 which the whole region exposed mostly and was exposed further becomes flat, as shown in drawing 3 (b). This becomes almost flat-tapped [the front face of the internal wiring 16, and the front face of the surface-protection film 17].

[0026] then, portions other than the field which a seed film (not shown) is formed on the front face of the internal wiring 16 by which flattening was carried out, and the surface-protection film 17, and should form the field and the dummy bump BD who counter the internal wiring 16 on this seed film -- drawing 3 (c) it is shown -- like, after the resist pattern 19 is formed by photolithography technology, plating using the material of front wiring 41 and the dummy bump BD is performed

[0027] Plating material deposits on the height almost same on the field which should form by this the field and the dummy bump BD who counter the internal wiring 16. Therefore, it is drawing 3 (d) by removing the resist pattern 19 on a seed film after this plating end, and removing the seed film further exposed by removal of the resist pattern 19. The front wiring 41 and the dummy bump BD who have the almost same height can be obtained so that it may be shown.

[0028] According to this operation form, after the front face of the internal wiring 16 and the front face of the surface-protection film 17 which were made open [begin] and exposed the internal wiring 16 further by grinding the surface-protection film 17 are made almost flat-tapped, selection plating for front wiring 41 and the dummy bump BD is performed. The front wiring 41 and the dummy bump BD who have the thereby almost same height H can be obtained, and the same effect as the 1st operation form mentioned above can be acquired.

[0029] Moreover, since the front face of the front face of the internal wiring 16 and the surface-protection film 17 is almost flat-tapped, irregularity (refer to drawing 2 (e)) resulting from the level difference of the internal wiring 16 and the surface-protection film 17 is not produced on the upper surface of front wiring 41, and the upper surface of front wiring 41 can be formed evenly. Thereby, junction with the functional bump BF of front wiring 41 and the child chip 2 can be made to perform to fitness more.

[0030] Drawing 4 is the cross section showing the composition and the manufacturing process of an important section of a semiconductor chip concerning the operation form of

BEST AVAILABLE COPY

further others of this invention. In addition, in this drawing 4, it supposes that the same reference mark as the case of drawing 2 is attached and shown, and, below, explains to the portion corresponding to each part of drawing 2 focusing on difference with the 1st operation form. It can replace with and use for the parent chip 1 of the 1st operation form mentioned above, and the semiconductor chip 5 concerning this 3rd operation form is formed in the state where the dummy pad 52 as a dummy connection insulated from the functional pad 51 and internal circuitry as an electric lines or cable connected to the internal wiring 16 was embedded on the surface-protection film 17. And with this 3rd operation form, chip-on chip junction for this semiconductor chip 5 and the child chip 2 is attained by joining the functional bump BF of the child chip 2, and the dummy bump BD to the functional pad 51 and the dummy pad 52 which were prepared on the surface-protection film 17, respectively.

[0031] The functional pad 51 and the dummy pad 52 consist of same metals (for example, gold, platinum, silver, palladium, or iridium etc.) which have oxidation resistance, and are simultaneously formed in a manufacturing process. At the time of formation of the functional pad 51 and the dummy pad 52, it is drawing 4 (a) first. The laminating of the surface-protection film 17 which consists of silicon nitrides is carried out on the layer insulation film 15 with which the internal wiring 16 was arranged so that it may be shown. The thickness of this surface-protection film 17 is set up more greatly than the thickness of the internal wiring 16.

[0032] Next, drawing 4 (b) Flattening of the front face of the surface-protection film 17 is carried out by performing HDP processing so that it may be shown. then, drawing 4 (c) in the surface-protection film 17, the internal wiring 16 is countered with photolithography technology so that it may be shown -- the field which should form a field and the dummy pad 52 -- each -- opening 18 and the crevice 53 for exposing a part of front face of the internal wiring 16 are formed

[0033] It continues, and after a seed film (not shown) is formed on the surface-protection film 17 with which opening 18 and the crevice 53 were formed, electroplating which used the material of the functional pad 51 and the dummy pad 52 for the front face of this seed film is given. This electroplating is drawing 4 (d). It is continued until the inside of opening 18 and a crevice 53 is filled with plating material so that it may be shown, and thereby on the surface-protection film 17, the metal membrane 54 which has larger thickness than the depth of opening 18 and a crevice 53 is formed.

[0034] Then, the metal membrane 54 formed on the surface-protection film 17 is ground chemically and physically by performing CMP processing. And drawing 4 (e) The metal membrane 54 outside opening 18 and a crevice 53 is removed altogether, surface 17a of

the surface-protection film 17 is exposed, and if the front face of the plating material (metal membrane 54) deposited in this surface 17a, opening 18, and the crevice 53 becomes almost flat-tapped, this CMP processing will be ended so that it may be shown. Thereby, the functional pad 51 and the dummy pad 52 which have the front face of the surface-protection film 17 and an almost flat-tapped front face in the opening 18 of the surface-protection film 17 and a crevice 53, respectively can be obtained.

[0035] Therefore, when joining the child chip which has the functional bump BF and the dummy bump BD to this parent chip 1, the functional bump BF of a child chip and the dummy bump BD can be joined to the functional pad 51 and the dummy pad 52 good, respectively. Thereby, in being able to carry out electrical connection of the parent chip 1 and the child chip certainly, the stress produced for the parent chip 1 and a child chip can be eased good.

[0036] As mentioned above, although three operation forms of this invention were explained, this invention is not limited to each above-mentioned operation form. For example, this invention is applicable also to the so-called semiconductor chip of the multilayer-interconnection structure arranged by the state where the laminating of two or more internal wiring 61 and 62 was carried out up and down through the layer insulation film 63, as shown in drawing 5 or drawing 6. In this case, flattening only of the surface-protection film 64 by which the laminating was carried out to the maximum front face may be carried out, and flattening of both the surface-protection film 64 and the layer insulation film 63 prepared under the surface-protection film 64 may be carried out.

[0037] Moreover, although [the 1st operation form] the electrical connection of a parent chip and a child chip is attained by making the functional bump of a parent chip join the functional bump of a child chip For example, the front wiring as an electric lines or cable connected to internal wiring through opening formed on the surface-protection film of a parent chip or a child chip at the surface-protection film is arranged. By joining the functional bump of this front wiring, a child chip, or a parent chip, the electrical connection of a parent chip and a child chip may be attained. Moreover, the electrical connection of a parent chip and a child chip may be attained by arranging the above-mentioned front wiring in both a parent chip and a child chip, and joining front wiring.

[0038] In addition, opening is formed in the surface-protection film by which flattening was carried out, after forming the surface-protection film which has larger thickness than the thickness of internal wiring on the layer insulation film with which internal wiring was arranged and carrying out flattening of the front face of this surface-protection film, in preparing the front wiring as an electric lines or cable on a surface-

protection film. And it is desirable to form the front wiring pulled out on the surface-protection film from opening by making the front face of a surface-protection film in which opening was formed carry out the vacuum evaporation of the seed film by the spatter, and plating alternatively into the portion which should form the portion and front wiring which counter opening on this seed film. Thereby, the following effects can be done so.

[0039] As shown in drawing 7, when the internal wiring 71 and 72 and the surface-protection film 74 formed on 73 have the mushroom-like cross section, If front wiring 75 is formed by making a seed film adhere to the front face of the surface-protection film 74 in a spatter, and performing selection plating on this seed film In a spatter, in order that a seed film may not carry out skillful ***** on the surface-protection film 74 between the internal wiring 71 and 72 and between the internal wiring 72 and 73, plating does not grow in this portion but there are a void which produces a crevice between the surface-protection film 74 and front wiring 75, and a possibility of producing an open circuit of front wiring 75. On the other hand, after carrying out flattening of the surface-protection film, in forming front wiring, since the vacuum evaporation of the seed film can be carried out good throughout the front face of a surface-protection film, there is no possibility of producing an open circuit of the above voids or front wiring.

[0040] Furthermore, although the case where the manufacture method of the semiconductor chip concerning each operation form was applied to manufacture of a parent chip was taken for the example with the above-mentioned 2nd and the 3rd operation form, the manufacture method concerning the 2nd and 3rd operation forms can also be applied to manufacture of a child chip. Moreover, with an above-mentioned operation form, although [each of parent chips and child chips] it is the chip which consists of silicon, they may be semiconductor chips which used other arbitrary semiconductor materials other than silicon, such as a GaAs semiconductor and a germanium semiconductor. In this case, the semiconductor material of a child chip may be the same as the semiconductor material of a parent chip, and may differ from each other.

[0041] Furthermore, with an above-mentioned operation form, although chip-on chip structure was taken up, the semiconductor chip concerning this invention is applicable also to the flip-chip bonding structure which the front face of a semiconductor chip is made to counter a printed-circuit board, and is joined. In addition, it is possible to perform various design changes within the limits of the matter indicated by the claim.

[Brief Description of the Drawings]

[Drawing 1] It is the illustration-cross section showing the outline composition of the semiconductor device with which the semiconductor chip concerning the 1st operation gestalt of this invention was applied.

[Drawing 2] It is the cross section showing the composition and the manufacturing process of an important section of a parent chip.

[Drawing 3] It is the cross section showing the composition and the manufacturing process of an important section of a semiconductor chip concerning the 2nd operation gestalt of this invention.

[Drawing 4] It is the cross section showing the composition and the manufacturing process of an important section of a semiconductor chip concerning the 3rd operation gestalt of this invention.

[Drawing 5] It is a cross section for explaining the example of composition of the semiconductor chip of the multilayer-interconnection structure where this invention was applied.

[Drawing 6] It is a cross section for explaining other examples of composition of the semiconductor chip of the multilayer-interconnection structure where this invention was applied.

[Drawing 7] It is a cross section for explaining an effect when the manufacture method of the semiconductor chip concerning the 1st operation gestalt is applied to formation of front wiring.

[Drawing 8] It is a cross section for explaining the trouble produced when a dummy bump is formed at the same process as a functional bump.

[Description of Notations]

1 Parent Chip (Semiconductor Chip)

11 Front Face (Front Face Which Counters Solid-state Front Face)

16 Internal Wiring

17 Surface-Protection Film

18 Opening

BF Functional bump (electric lines or cable)

BD Dummy bump (dummy connection)

2 Child Chip (Solid-state)

21 Front Face (Solid-state Front Face)

4 Semiconductor Chip

41 Front Wiring (Electric Lines or Cable)

5 Semiconductor Chip

51 Functional Pad (Electric Lines or Cable)

52 Dummy Pad (Dummy Connection)

53 Crevice

54 Metal Membrane

61 62 Internal wiring (electric lines or cable)

64 Surface-Protection Film

65 Front Wiring (Electric Lines or Cable)